

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250728

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 07-079525

(71)Applicant : SONY CORP

(22)Date of filing : 10.03.1995

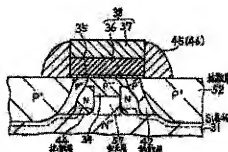
(72)Inventor : KURODA HIDEAKI

(54) FIELD-EFFECT SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To minimize the dispersion in the threshold voltage by eliminating the fluctuations in the threshold, due to the positional dispersion of high concentration diffused layer in an LDD structure.

CONSTITUTION: The junction depth of a low concentration diffused layer 42 in an LDD structure is deeper than the width in the depth direction of a depletion layer 57 in the part in contact with a source part out of a channel part. Resultantly, even if the position of a high concentration diffused layer 52 are dispersed in the channel length direction, the positional relation between another diffused layer 44 as a so-called pocket layer and the depletion layer 57 on a source part side is not fluctuated at all thereby enabling the impurity amount of the pocket layer in the depletion layer 57 on the source part side affecting the threshold value voltage to stay constant.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250728

(43) 公開日 平成8年(1996)9月27日

(51) IntCl ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	3 0 1 L
	21/336			3 0 1 P
				3 0 1 S

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平7-79525

(22) 出願日 平成7年(1995)3月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

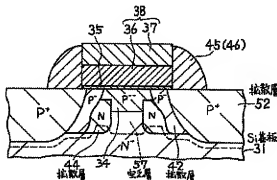
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 電界効果型半導体装置及びその製造方法

(57) 【要約】

【目的】 LDD構造における高濃度拡散層の位置のばらつきに起因する閾値電圧の変動をなくして、閾値電圧のばらつきを小さくする。

【構成】 LDD構造における低濃度拡散層42の接合深さが、チャネル部のうちでソース部に接している部分における空乏層57の深さ方向の幅よりも深い。このため、スペーサ46の幅のばらつきによって、高濃度拡散層52の位置がチャネル長方向にばらついていても、所謂ポケット層としての拡散層44とソース部側の空乏層57との位置関係が変動せず、閾値電圧に影響を与えるソース部側の空乏層57内におけるポケット層の不純物量が増減しない。



【特許請求の範囲】

【請求項1】 半導体基板中のチャネル部に接している相対的に低濃度の第1の拡散層と前記チャネル部とは反対側で前記第1の拡散層に接している相対的に高濃度の第2の拡散層とでソース部及びドレイン部の夫々が構成されており、

前記半導体基板と同一導電型で且つこの半導体基板よりも不純物濃度が高い第3の拡散層が前記第1の拡散層に接して前記チャネル部に設けられている埋め込みチャネル型の電界効果型半導体装置において、

前記第1の拡散層の接合深さが、前記チャネル部のうちで前記ソース部に接している部分における空乏層の深さ方向の幅よりも深いことを特徴とする電界効果型半導体装置。

【請求項2】 半導体基板中のチャネル部に接している相対的に低濃度の第1の拡散層と前記チャネル部とは反対側で前記第1の拡散層に接している相対的に高濃度の第2の拡散層とでソース部及びドレイン部の夫々が構成されており、

前記半導体基板と同一導電型で且つこの半導体基板よりも不純物濃度が高い第3の拡散層が前記第1の拡散層に接して前記チャネル部に設けられている埋め込みチャネル型の電界効果型半導体装置において、

前記第1の拡散層の接合深さが、前記第2の拡散層の接合深さ以上であることを特徴とする電界効果型半導体装置。

【請求項3】 半導体基板中のチャネル部に接している相対的に低濃度の第1の拡散層と前記チャネル部とは反対側で前記第1の拡散層に接している相対的に高濃度の第2の拡散層とでソース部及びドレイン部の夫々が構成されており、

前記半導体基板と同一導電型で且つこの半導体基板よりも不純物濃度が高い第3の拡散層が前記第1の拡散層に接して前記チャネル部に設けられている埋め込みチャネル型の電界効果型半導体装置の製造方法において、

投影飛程が互いに異なる複数回のイオン注入によって前記第1の拡散層を形成することを特徴とする電界効果型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、LDD構造であり且つ埋め込みチャネル型で所謂ポケット層を有している電界効果型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 図3は、上述の様な構造を有するPチャネルトランジスタの従来例を示している。この従来例では、N⁻型のS1基板11の表面近傍に、閾値電圧を調整するためのP⁻型の拡散層12が形成されており、S1基板11の表面には、ゲート酸化膜としてのS

iO₂膜13が形成されている。

【0003】 N型の不純物を添加された多結晶Si膜14とWSi₂膜15とがSiO₂膜13上に積層され且つパターンニングされてゲート電極16になっており、このゲート電極16等をマスクにした不純物のイオン注入で、P⁻型の拡散層17が形成されている。また、ゲート電極16等をマスクにした不純物の斜め回転イオン注入で、所謂ポケット層としてのN型の拡散層21が形成されている。

【0004】 ゲート電極16の側面には、SiO₂膜22から成るスペーサ23が形成されており、ゲート電極16及びスペーサ23等をマスクにした不純物のイオン注入で、P⁻型の拡散層24が形成されている。そして、トランジスタが導通状態で且つドレイン部に付勢電圧が印加されていない場合には、図3中の点線と拡散層17、24及びSiO₂膜13とに囲まれた領域が空乏層25になる。

【0005】

【発明が解決しようとする課題】 ところで、CVD法で堆積させたSiO₂膜22の膜厚のばらつきやSiO₂膜22に対するエッチバック量のばらつき等によって、スペーサ23の幅もばらつく。特に、図4に示す様に、CVD法でSiO₂膜22を堆積させると、ゲート電極16が疎な領域における膜厚d₁と密な領域における膜厚d₂とがd₁>d₂となるので、ゲート電極16の疎密に対するSiO₂膜22の膜厚の依存性が、スペーサ23の幅をばらつかせる最大の要因になっている。

【0006】 一方、既述の様に、拡散層24はゲート電極16及びスペーサ23等をマスクにした不純物のイオン注入で形成されているので、スペーサ23の幅がばらつくと、拡散層24の位置もチャネル長方向にばらつく。また、埋め込みチャネル型のトランジスタでは、ゲート長が0.4μm程度以下になると、短チャネル効果を抑制するために、ポケット層としての拡散層21が必須である。

【0007】 ところが、図3からも明らかな様に、拡散層24の位置がチャネル長方向にばらつくと、拡散層21と空乏層25との位置関係が変動し、空乏層25内における拡散層21の不純物量が変動する。このため、トランジスタの閾値電圧がばらついて、トランジスタの歩留りが低下する共に待機時電流も増大していた。

【0008】

【課題を解決するための手段】 請求項1の電界効果型半導体装置は、半導体基板中のチャネル部に接している相対的に低濃度の第1の拡散層と前記チャネル部とは反対側で前記第1の拡散層に接している相対的に高濃度の第2の拡散層とでソース部及びドレイン部の夫々が構成されており、前記半導体基板と同一導電型で且つこの半導体基板よりも不純物濃度が高い第3の拡散層が前記第1の拡散層に接して前記チャネル部に設けられている埋め

込みチャネル型の電界効果型半導体装置において、前記第1の拡散層の接合深さが、前記チャネル部のうちで前記ソース部に接している部分における空乏層の深さ方向の幅よりも深いことを特徴としている。

【0009】請求項2の電界効果型半導体装置は、半導体基板中のチャネル部に接している相対的に低濃度の第1の拡散層と前記チャネル部とは反対側で前記第1の拡散層に接している相対的に高濃度の第2の拡散層とでソース部及びドレイン部の夫々が構成されており、前記半導体基板と同一導電型で且つこの半導体基板よりも不純物濃度が高い第3の拡散層が前記第1の拡散層に接して前記チャネル部に設けられている埋め込みチャネル型の電界効果型半導体装置において、前記第1の拡散層の接合深さが、前記第2の拡散層の接合深さ以上であることを特徴としている。

【0010】請求項3の電界効果型半導体装置の製造方法は、半導体基板中のチャネル部に接している相対的に低濃度の第1の拡散層と前記チャネル部とは反対側で前記第1の拡散層に接している相対的に高濃度の第2の拡散層とでソース部及びドレイン部の夫々が構成されており、前記半導体基板と同一導電型で且つこの半導体基板よりも不純物濃度が高い第3の拡散層が前記第1の拡散層に接して前記チャネル部に設けられている埋め込みチャネル型の電界効果型半導体装置の製造方法において、投影飛程が互いに異なる複数回のイオン注入によって前記第1の拡散層を形成することを特徴としている。

【0011】

【作用】請求項1の電界効果型半導体装置では、低濃度の第1の拡散層の接合深さが、チャネル部のうちでソース部に接している部分における空乏層の深さ方向の幅よりも深いので、高濃度の第2の拡散層の位置がチャネル長方向にばらついても、所謂ポケット層としての第3の拡散層とソース部側の空乏層との位置関係が変動せず、閾値電圧に影響を与えるソース部側の空乏層内におけるポケット層の不純物量が変動しない。

【0012】請求項2の電界効果型半導体装置では、低濃度の第1の拡散層の接合深さが高濃度の第2の拡散層の接合深さ以上であるので、この第2の拡散層の位置がチャネル長方向にばらついても、所謂ポケット層としての第3の拡散層と空乏層との位置関係が変動せず、閾値電圧に影響を与えるソース部側の空乏層内におけるポケット層の不純物量が変動しない。

【0013】請求項3の電界効果型半導体装置の製造方法では、投影飛程が互いに異なる複数回のイオン注入によって低濃度の第1の拡散層を形成しているの、この第1の拡散層の接合深さを、チャネル部のうちでソース部に接している部分における空乏層の深さ方向の幅よりも深くすること、高濃度の第2の拡散層の接合深さ以上にしたることを、容易に行うことができる。

【0014】

【実施例】以下、Pチャネルトランジスタに適用した本願の発明の一実施例を、図1、2を参照しながら説明する。本実施例を製造するためには、図2(a)に示す様に、N⁺型のSi基板31の素子分離領域にLOCOS法等でSiO₂膜32を形成した後、素子活性領域の表面近傍に閾値電圧調整用の不純物33をイオン注入して、P⁺型の拡散層34(図1)を形成する。

【0015】次に、図2(b)に示す様に、素子活性領域の表面にゲート酸化膜としてのSiO₂膜35を成長させた後、N型の不純物を添加した多結晶Si膜36とWSi₂膜37等とを順次に堆積させ且つこれらのWSi₂膜37及び多結晶Si膜36をパターニングしてゲート電極38を形成する。

【0016】その後、ゲート電極38及びSiO₂膜32をマスクにして0~7°の角度で不純物41をイオン注入して、P⁺型の拡散層42(図2(c))を形成する。このときのイオン注入は、10~50keV程度の加速エネルギー及び10¹⁶~10¹⁸cm⁻²程度のドーズ量で行うが、不純物41としてBF₃⁺を用いる第1段階と不純物41としてB⁺を用いる第2段階との2段階で行って、チャネル方向への不純物41の拡散を防止しつつ深い拡散層42を形成する。

【0017】また、ゲート電極38及びSiO₂膜32をマスクにして、As⁺またはP⁺である不純物43を数十~数百keV程度の加速エネルギー及び10¹⁶~10¹⁸cm⁻²程度のドーズ量で斜め回転イオン注入して、ポケット層としてのN型の拡散層44(図2(c))を形成する。

【0018】次に、図2(c)に示す様に、膜厚が数十~数百nmのSiO₂膜45をCVD法で堆積させ、SiO₂膜45の全面をエッチバックして、このSiO₂膜45から成るスパー46をゲート電極38の側面に形成する。そして、汚染防止用等のために膜厚が数十nmのSiO₂膜47を全面に成長させる。

【0019】その後、ゲート電極38、スパー46及びSiO₂膜32をマスクにして、10~50keV程度の加速エネルギー及び10¹⁶~10¹⁸cm⁻²程度のドーズ量でBF₃⁺である不純物51をイオン注入して、P⁺型の拡散層52(図2(d))を形成する。

【0020】次に、拡散層52等の不純物を活性化させるためのアニールを行った後、図2(d)に示す様に、膜厚が数百nmの層間絶縁膜53をCVD法で堆積させ、拡散層52に達するコンタクト孔54を層間絶縁膜53等に開口する。そして、コンタクト孔54をタングステンプラグ55で埋め、Al配線56をパターニングし、更に従来公知の工程を経て、このトランジスタを完成させる。

【0021】なお、図2(d)では拡散層42の接合深さと拡散層52の接合深さとが互いに略等しいが、拡散層42の接合深さが拡散層52の接合深さより深くても

よい。何れの場合でも、スペーサ46の幅のばらつきによって、拡散層52の位置がチャネル長方向にばらついても、拡散層44と空乏層との位置関係が変動せず、空乏層内における拡散層44の不純物量が変動しない。従って、スペーサ46の幅のばらつきに起因する閾値電圧の変動がなくて、閾値電圧のばらつきが小さい。

【0022】また、図1に示す様に、拡散層42の接合深さが拡散層52の接合深さより浅くても、拡散層42の接合深さが、チャネル部のうちでソース部に接している部分における空乏層57の深さ方向の幅よりも深ければ、拡散層52の位置がチャネル長方向にばらついても、拡散層44と空乏層57との位置関係が変動しない。このため、空乏層57内における拡散層44の不純物量が変動せず、スペーサ46の幅のばらつきに起因する閾値電圧の変動がなくて、閾値電圧のばらつきが小さい。

【0023】なお、以上の実施例は本願の発明をPチャネルトランジスタに適用したものであるが、ゲート電極がP型であるために埋め込みチャネル型になっているNチャネルトランジスタにも本願の発明を当然に適用する

【0024】

【発明の効果】請求項1、2の電界効果型半導体装置では、高濃度の第2の拡散層の位置がチャネル長方向にばらついても、所謂ポケット層としての第3の拡散層と空*

* 乏層との位置関係が変動せず、閾値電圧に影響を与えるソース部側の空乏層内におけるポケット層の不純物量が変動しない。従って、高濃度の第2の拡散層の位置のばらつきに起因する閾値電圧の変動がなくて、閾値電圧のばらつきが小さい。

【0025】請求項3の電界効果型半導体装置の製造方法では、低濃度の第1の拡散層の接合深さを、チャネル部のうちでソース部に接している部分における空乏層の深さ方向の幅よりも深くしたり、高濃度の第2の拡散層の接合深さ以上にしたりすることを、容易に行うことができるので、閾値電圧のばらつきが小さい電界効果型半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】本願の発明の一実施例の拡大側断面図である。

【図2】本願の発明の一実施例を工程順に示す側断面図である。

【図3】本願の発明の一従来例の拡大側断面図である。

【図4】一従来例における課題の要因を説明するための側断面図である。

【符号の説明】

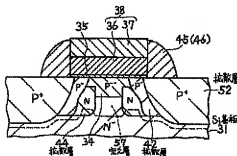
42 拡散層

44 拡散層

52 拡散層

57 空乏層

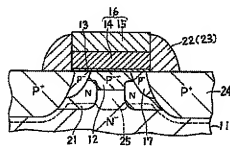
【図1】



【図4】



【図3】



【図2】

